



PATENT ABSTRACTS OF JAPAN

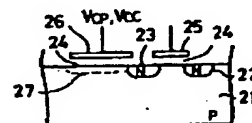
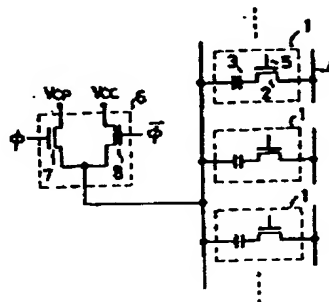
(11) Publication number: **60103587 A**(43) Date of publication of application: **07 . 06 . 85**(51) Int. Cl. **G11C 11/34**(21) Application number: **58210099**(22) Date of filing: **09 . 11 . 83**(71) Applicant: **TOSHIBA CORP**(72) Inventor: **OGURA ISAO
MASUOKA FUJIO**(54) **CAPACITOR VOLTAGE IMPRESSING CIRCUIT OF
MEMORY CELL IN SEMICONDUCTOR STORAGE
DEVICE**

COPYRIGHT: (C)1985,JPO&Japio

(57) Abstract

PURPOSE: To attain screening effectively with high efficiency while the advantage that the operation of a memory cell is hardly affected by the instantaneous fluctuation of the operating power supply is kept by providing a switching circuit for screening to a common connecting point of each MOS capacitor.

CONSTITUTION: A transistor (TR) 7 is turned on and a TR8 is turned off at normal operation in an LSI memory and a low voltage VCP is impressed to one electrode (electrode on an oxide film) 26 of each MOS capacitor 3 of the memory cells 1... through the TR7. Thus, no deterioration or breakdown is caused to a thin oxide film 24 of the MOS capacitor 3, and since a voltage V_{cc} is not directly impressed to the MOS capacitor 3 even if a momentary fluctuation of the operating power supply voltage V_{cc} is caused, the operation of the memory cell 1... is hardly affected. While the TR7 is turned off and the TR8 is turned on during screening, the voltage V_{cc} is impressed to each MOS capacitor 3 through the TR8.



⑬ 日本国特許庁(JP)

⑭ 特許出願公開

⑫ 公開特許公報(A)

昭60-103587

⑮ Int. Cl.⁴

識別記号

庁内整理番号

⑯ 公開 昭和60年(1985)6月7日

G 11 C 11/34

1 0 1

8320-5B

審査請求 未請求 発明の数 1 (全6頁)

⑰ 発明の名称 半導体記憶装置のメモリセルキャパシタ電圧印加回路

⑱ 特 願 昭58-210099

⑲ 出 願 昭58(1983)11月9日

⑳ 発 明 者 小 倉 庸 川崎市幸区小向東芝町1番地 東京芝浦電気株式会社多摩川工場内

㉑ 発 明 者 舩 岡 富 士 雄 川崎市幸区小向東芝町1番地 東京芝浦電気株式会社多摩川工場内

㉒ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地

㉓ 代 理 人 弁 理 士 鈴 江 武 彦 外2名

明 細 書

1. 発明の名称

半導体記憶装置のメモリセルキャパシタ電圧印加回路

2. 特許請求の範囲

(1) それぞれ記憶用のMOSキャパシタを用いたメモリセル群を有する半導体記憶装置における上記各MOSキャパシタの一方の電極の共通接続点に、MOSキャパシタの通常動作用の低い電圧またはこの電圧より高いスクリーニング用の電圧を選択的に印加する切換回路を具備してなることを特徴とする半導体記憶装置のメモリセルキャパシタ電圧印加回路。

(2) 前記メモリセル用の通常動作用の印加電圧は、通常電源電圧 V_{cc} のほぼ $\frac{1}{2}$ であり、スクリーニング用の印加電圧は通常電源電圧 V_{cc} であることを特徴とする前記特許請求の範囲第1項記載の半導体記憶装置のメモリセルキャパシタ電圧印加回路。

(3) 前記メモリセル用の通常動作用の印加電

圧は接地電圧であり、前記MOSキャパシタはデンプレーション型であることを特徴とする前記特許請求の範囲第1項記載の半導体記憶装置のメモリセルキャパシタ電圧印加回路。

(4) 半導体記憶装置のデータ出力ピンに外部からスクリーニング制御電圧が印加されているか否かを判別して前記切換回路を切換制御する回路をさらに具備することを特徴とする前記特許請求の範囲第1項記載の半導体記憶装置のメモリセルキャパシタ電圧印加回路。

3. 発明の詳細な説明

〔発明の技術分野〕

本発明は半導体記憶装置に係り、薄い酸化膜を有するMOS型(絶縁ゲート型)キャパシタを用いたメモリセルを有する半導体記憶装置のメモリセルキャパシタ電圧印加回路に関する。

〔発明の技術的背景〕

最近のダイナミック型メモリは、極めて薄い絶縁膜を用いて作られた記憶用のMOSキャパシタとトランスファゲート用のMOSトランジスタ

とを有するダイナミック型メモリセルが用いられている。通常、上記メモリセルのMOSキャパシタは、一方の電極（半導体基板表面側の電極）がMOSトランジスタに接続され、残りの一方の電極（酸化膜上の電極）が外部から印加される電源電圧 V_{cc} に固定される。このようにMOSキャパシタの一方の電極に外部印加電圧 V_{cc} を加えることは、MOSキャパシタ下面の半導体基板層表面を強い反転状態にするために必要であった。しかし、近年は、メモリセルにより多くの電荷を蓄えることが要請されており、イオンインプラレーション技術も進歩しているので、前記MOSキャパシタをエンハンスメントモードに代えてディプレッションモードにすることが多い。こうすることにより、MOSキャパシタ下面の半導体層表面は常に反転状態になるので、前述したようにMOSキャパシタの一方の電極を V_{cc} 電圧に固定する必然性がなくなっている。むしろ、MOSキャパシタの薄い酸化膜の劣化や破壊を防止したり、メモリセルの動作が電源電

圧 V_{cc} の瞬時変動の影響を受けないようにするには、MOSキャパシタの一方の電極を V_{cc} 電圧よりも低い接地電圧 V_{ss} とか $\frac{1}{2}V_{cc}$ にする（米国特許第4,225,945公報に開示されている）の方が良いと思われるようになっている。

一方、現実にはメモリを量産する場合、生産されたメモリの中には多くの欠陥を含みながらも一応の動作をする欠陥品が含まれており、これらの欠陥品を出荷前に識別することが製品の品質を保証する上で重要である。現在、上記欠陥品を仕分けするために種々のストレス印加試験を行っており、LSI（大規模集積回路）メモリの場合にはバイアス（B）-温度（T）試験およびレギュラー試験（通常動作試験）を行なっている。これらの試験はストレス加速試験であり、通常動作電圧の規格（たとえば5V）より高い動作電圧（たとえば7～8V）を印加して行なう。このようにすれば、メモリセルのMOSキャパシタの薄い酸化膜に何らかの欠陥がある場合、この欠陥部分を意図的に破壊するこ

とが可能になり、出荷前にスクリーニングを行なうことができる。

〔背景技術の問題点〕

ところで、前述したようにメモリセルのMOSキャパシタの印加電圧を $\frac{1}{2}V_{cc}$ とか V_{ss} のように低くしたLSIメモリに対しては、前述したように外部から高い電圧を加えてスクリーニングを行なうことができなくなり、LSIメモリの品質保証上重大な問題が残る。また、MOSキャパシタの印加電圧が $\frac{1}{2}V_{cc}$ になっているLSIメモリの場合には、スクリーニング効果を十分に得るためにはターンイン時間を長くする必要があり、これに伴って生産時間の増大、テストコストの増大、ターンインテスト用恒温室などのテスト設備の増設などをまねく欠点がある。

〔発明の目的〕

本発明は上記の事情に鑑みてなされたもので、メモリセルの動作が動作電源の瞬時変動の影響を受け難いとかメモリセルのMOSキャパシタの薄い酸化膜の劣化や破壊が防止されるなどの利

点を残しながら、スクリーニングを効果的、高能率的に行なうことが可能な半導体記憶装置のメモリセルキャパシタ電圧印加回路を提供するものである。

〔発明の概要〕

即ち、本発明は、それぞれ記憶用のMOSキャパシタを用いたメモリセル群を有する半導体記憶装置における上記各MOSキャパシタの一方の電極の共通接続点に、MOSキャパシタの通常動作の低い電圧またはこの電圧より高いスクリーニング用の電圧を選択的に印加する切換回路を具備することを特徴とするものである。

〔発明の実施例〕

以下、図面を参照して本発明の一実施例を詳細に説明する。

第1図はダイナミック型LSIメモリの一部を示しており、1…はそれぞれメモリセルアレイにおけるダイナミック型メモリセルであって、それぞれたとえば1個のMOSトランジスタ2と1個のMOSキャパシタ3とが直列接続されてい

る。上記 MOS トランジスタ 2 の一端 (ドレイン) はビット線 4 に接続され、そのゲートは行選択線 5 に接続されており、MOS キャパシタ 3 の一端 (酸化膜上の電極) は共通接続されている。

一方、 V_{cp} は前記 MOS キャパシタ 3 の一端に通常動作時に印加すべき $\frac{1}{2} V_{cc}$ とか接地電圧 V_{ss} などの低い電圧、 V_{cc} は通常の電源電圧、 ϕ はメモリの通常動作時にはハイレベルとなりスクリーニング中はロウレベルになる制御信号、 $\bar{\phi}$ は上記 ϕ とは逆相の制御信号であり、これらは切換回路 6 に供給される。この切換回路 6 において、7 および 8 はそれぞれ N チャンネルエンハンスメント型の MOS トランジスタであり、それぞれの一端は共通に前記メモリセル 1 … の各 MOS キャパシタ 3 の共通接続点に接続されており、それぞれの他端は対応して前記 V_{cp} 電圧、 V_{cc} 電圧が印加され、それぞれのゲートは対応して前記制御信号 ϕ 、 $\bar{\phi}$ が印加される。

第 2 図は前記メモリセル 1 の構造の一例を示しており、2-1 は P 形半導体基板、2-2 はドレ

イン領域、2-3 はソース領域、2-4 はゲート酸化膜、2-5 はゲート電極、2-6 は MOS キャパシタの一方の電極、2-7 は反転領域である。

なお、前記メモリセル 1 … の各 MOS キャパシタ 3 は、その酸化膜上の電極 2-6 に前記低い電圧 V_{cp} として $\frac{1}{2} V_{cc}$ が印加される場合にはこの $\frac{1}{2} V_{cc}$ 電圧によって MOS キャパシタ下面の半導体層表面が強い反転状態になり得るので、エンハンスメント型、ディプレッション型のいずれであってもよい。しかし、上記 V_{cp} 電圧として V_{ss} 電圧が印加される場合には、この V_{ss} 電圧の印加により上記半導体層表面が強い反転状態になることが不可能であるので、前記 MOS キャパシタ 3 は予めディプレッション型に形成される必要がある。

而して、上記 LSI メモリにおいて、通常動作時はトランジスタ 7 がオン、トランジスタ 8 がオフになり、メモリセル 1 … の各 MOS キャパシタ 3 の一方の電極 (酸化膜上の電極) 2-6 には上記トランジスタ 7 を通じて低い電圧 V_{cp} が印

加される。したがって、MOS キャパシタ 3 の薄い酸化膜 2-4 に劣化や破壊が生じることはなく、動作電源電圧 V_{cc} の瞬時変動が生じたとしても MOS キャパシタ 3 に V_{cc} 電圧が直接に印加されてはいないのでメモリセル 1 … の動作は悪影響を受け難い。

これに対して、スクリーニング中はトランジスタ 7 がオフ、トランジスタ 8 がオンになり、前記各 MOS キャパシタ 3 には上記トランジスタ 8 を通じて V_{cc} 電圧が印加される。このように、前記電圧 V_{cp} に比べて高い V_{cc} 電圧が印加されてスクリーニングが行なわれるので、 V_{cp} 電圧によるスクリーニングに比べて効果的に高エネルギーに欠陥の検出が可能になる。

第 3 図は、LSI メモリがウェッジ状態のときスクリーニングを行なう場合に用いられる前記制御信号 ϕ 、 $\bar{\phi}$ の発生回路の一例であり、これは前記メモリと同一チップ上に形成されている。即ち、3-0 は外部からスクリーニング制御電圧 V_s を入力するための専用のパッド、3-1 は上記

パッド 3-0 に入力端が接続された第 1 の E/D 型インバータ、3-2 はこの後段に接続された第 2 の E/D 型インバータである。これらのインバータ 3-1、3-2 はそれぞれ駆動用の N チャンネルエンハンスメント (E) 型の MOS トランジスタ 3-3、3-4 と、負荷用の N チャンネルディプレッション (D) 型の MOS トランジスタ 3-5、3-6 とからなる。そして、上記第 1 のインバータ 3-1 は動作電源として V_{cc} 電圧が印加され、その出力信号は前記制御信号 ϕ として供給され、第 2 のインバータ 3-2 は前記 V_s 電圧が動作電源として印加され、その出力信号は前記制御信号 $\bar{\phi}$ として供給される。なお、3-7 は前記パッド 3-0 と V_{ss} 電位端との間に接続された抵抗である。

而して、ウェッジ状態におけるスクリーニング中には、パッド 3-0 に V_{cc} 電圧より高いスクリーニング制御電圧 V_s が印加される。したがって、第 1 のインバータ 3-1 の出力信号 ϕ は V_{ss} 電圧となり、第 2 のインバータ 3-2 の出力信号 $\bar{\phi}$ は

ほぼ V_s 電圧となるので、第1図のメモリセル1…にはトランジスタ8を通じて V_{cc} 電圧が印加されるようになる。これに対して、チップがパッケージに収納された後における通常動作時には、スクリーニング制御電圧 V_s は印加されず、第1のインバータ31の入力端は抵抗37を介して V_{ss} 電圧になっていてその出力信号 ϕ はほぼ V_{cc} 電圧となり、第2のインバータ32の出力信号 $\bar{\phi}$ は V_{ss} 電圧となるので、第1図のメモリセル1…にはトランジスタ7を通じて低い電圧 V_{ce} が印加されるようになる。

第4図は、LSIメモリのチップがセラミックあるいはプラスチックのパッケージに収容された状態でスクリーニングを行なうために同一チップ上に設けられた制御信号(ϕ , $\bar{\phi}$)発生回路の一例を示している。この場合、スクリーニング制御電圧 V_s を印加するために、専用の外部ピンを設けることなく、既存の入出力ピンのうち適当な1個のピン(データ出力ピン P_0 が後述する理由により適している)を兼用ピンとし

ている。即ち、40はデータ出力ピン P_0 にスクリーニング制御電圧 V_s (通常の電源電圧 V_{cc} より高い)が印加されているか否かを判別するスクリーニング状態判別回路であり、これは上記ピン P_0 に入力側が接続されたRCフィルタ回路41と、このフィルタ回路41の出力側に接続されたフリップフロップ回路42とからなる。上記フィルタ回路41は、入出力端間に接続された抵抗43と、出力端と V_{ss} 端との間に接続されたキャパシタ44とからなる。また、前記フリップフロップ回路42はNチャンネルE型MOSトランジスタ45~48からなり、動作電源として V_{cc} 電圧が印加されている。このフリップフロップ回路42の出力端(つまり、スクリーニング状態判別回路42の出力端)には第1のE/D型インバータ49が接続され、この後段に第2のE/D型インバータ50が接続され、この後段に第3のインバータ51が接続されている。上記第1、第2のインバータ49、50は動作電源として V_{cc} 電圧が印加され、第2の

インバータ50の出力信号は制御信号 ϕ としてなり、第3のインバータ51は動作電源として前記ピン P_0 の電圧が印加され、その出力信号は制御信号 $\bar{\phi}$ となる。そして、前記第1のインバータ49の出力端と第3のインバータ51のNチャンネルE型の負荷用MOSトランジスタ52のゲートとの間にはゲートに V_{cc} 電圧が印加されたNチャンネルE型MOSトランジスタ53が接続されている。また、上記第3のインバータ51においては、負荷用MOSトランジスタ52のゲートとソース(出力端)との間にはブートストラップ用のキャパシタ54が接続されており、さらに上記ゲートには V_{cc} 電圧より高い電圧を供給するためのレベルキープ回路55が接続されている。このレベルキープ回路55は、NチャンネルE型MOSトランジスタ56、57および充放電用のキャパシタ58を用いたチャージポンプ回路からなり、発振回路(図示せず)からのパルス信号に応じてキャパシタ58の充放電を行ない、動作電源電圧 V_{cc} の2倍の電圧

を出力する。上記発振回路は、通常用いられている自己基板バイアス回路用発振回路を兼用することができる。

なお、前記データ出力ピン P_0 には図示しないがデータ出力バッファが接続されており、メモリの通常動作時には上記ピン40の電圧が V_{cc} 電圧より高くなることはない。

いま、上記第4図の回路のデータ出力ピン P_0 に外部から V_{cc} 電圧より高いスクリーニング制御電圧 V_s が印加されるスクリーニング中において、スクリーニング状態判別回路40のフリップフロップ回路42は、トランジスタ45のゲート電圧がトランジスタ48のゲート電圧 V_{cc} より高くなるのでセット状態になり、トランジスタ45がオン、トランジスタ47がオン、トランジスタ46がオフになり、その出力は V_{ss} 電圧になる。これにより、第1のインバータ49の出力はほぼ V_{cc} 電圧、第2のインバータ50の出力信号 ϕ は V_{ss} 電圧となり、第3のインバータ51はトランジスタ52のゲートに

レベルキープ回路55から2V_{cc}電圧が加えられ、ブートストラップ作用より出力信号 ϕ がV_s電圧になっている。したがって、第1図のトランジスタ7はオフ、トランジスタ8はオンであり、メモリセル1…にはトランジスタ8を通じてV_{cc}電圧が印加されるようになる。

なお、このようなスクリーニング中にピンP₀に印加される電圧V_sが前記データ出力バッファによって乱されることがないように、スクリーニング中に得られる前記制御信号 ϕ (V_{ss}電圧)、 $\bar{\phi}$ (V_s電圧)の組合せを検出して上記データ出力バッファをオフ状態に制御するようにしている。

上記とは逆に、第4図の回路の通常動作時には、スクリーニング状態判別回路40のフリップフロップ回路42はリセット状態(トランジスタ48がオン、トランジスタ46がオンであり、トランジスタ45がオフ、トランジスタ47がオフである)となり、その出力はハイレベルである。これにより、第1のインバータ49の出

力はロウレベル、第2のインバータ50の出力信号 ϕ はほぼV_{cc}電圧、第3のインバータ51の出力信号 $\bar{\phi}$ はV_{ss}電圧となるので、第1図のメモリセル1…にはトランジスタ7を通じて低い電圧V_{ce}が印加される。

なお、スクリーニング状態判別回路40のフィルタ回路41は、入力電圧(ピンP₀の電圧)の短かい周期的な変動にフリップフロップ回路42が応動しないようにRC時定数が定められている。

また、上記第4図の回路はデータ出力ピンV₀の電圧値に対してスクリーニング中か否かの判別を行なっているが、これに代えてスクリーニング中にアドレスピンにアドレス信号のハイレベルより高いスクリーニング制御電圧を印加し、上記アドレスピンの3値の電圧値に対してスクリーニング中か否かの判別を行なうようにしてもよい。

〔発明の効果〕

上述したように本発明の半導体記憶装置のメ

モリセルキャパシタ電圧印加回路によれば、メモリセルの動作が動作電源の瞬時変動の影響を受け難いとかメモリセルのMOSキャパシタの薄い酸化膜の劣化や破壊が防止されるなどの利点を残しながら、スクリーニングを効率的、高エネルギーで行なうことができる。したがって、半導体記憶装置の欠陥品を出荷前に識別可能となって製品の品質を向上させることができ、半導体記憶装置のバーンイン時間の大幅な短縮が可能となって生産時間の短縮、テストコストの低減に寄与できると共にバーンインテスト用恒温室などのテスト設備の増設が不要になるなどの効果が得られる。

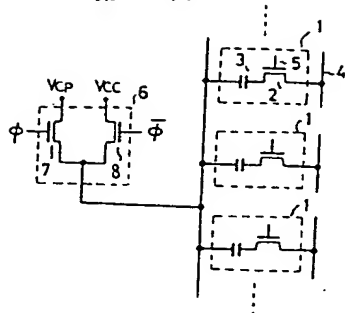
4. 図面の簡単な説明

第1図は本発明に係る半導体記憶装置のメモリセルキャパシタ電圧印加回路の一実施例を示す回路図、第2図は第1図のメモリセルの1個を取り出して示す構造説明図、第3図および第4図はそれぞれ第1図の制御信号 ϕ 、 $\bar{\phi}$ を発生する回路の相異なる例を示す回路図である。

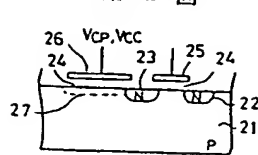
1…メモリセル、3…MOSキャパシタ、6…切替回路、P₀…データ出力ピン。

出願人代理人 弁理士 鈴 江 武 彦

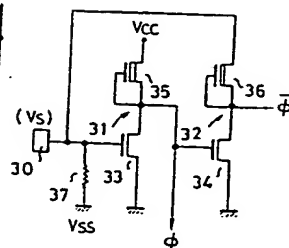
第 1 圖



第 2 圖



第 3 周



第 4 圖

